

CIRCUIT FOR DRIVING PICTURE DISPLAY DEVICE, PICTURE DISPLAY DEVICE, AND METHOD FOR DRIVING THE SAME

Publication number: JP2002311885

Publication date: 2002-10-25

Inventor: ABE NAOTO; YAMAZAKI TATSURO; SAGANO OSAMU

Applicant: CANON KK

Classification:

- international: H04N5/68; G09G3/20; G09G3/22; G09G3/30;
H04N5/68; G09G3/20; G09G3/22; G09G3/30; (IPC1-7):
G09G3/22; G09G3/20; G09G3/30; H04N5/68

- European:

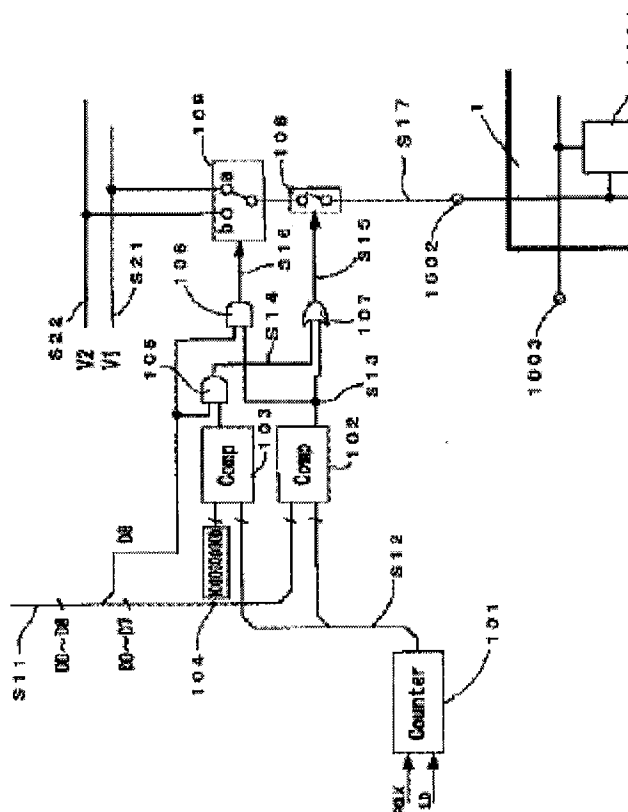
Application number: JP20010115753 20010413

Priority number(s): JP20010115753 20010413

Report a data error here

Abstract of JP2002311885

PROBLEM TO BE SOLVED: To provide a highly reliable picture display device capable of reducing deterioration in reproducing gradations caused by the fluctuation of a power source and an element characteristic with a small scale circuit composition, and also realizing excellent reproduction of gradations even in picture signals or the like provided with gamma-correction beforehand. **SOLUTION:** Based on the brightness data inputted, instead of a part or the whole of the voltage V1 having a predetermined pulse width, the voltage V2 ($V1 < V2$) is modulated to the same pulse width as the part, thereby generates a pulse voltage to be applied to a cold-cathode element 1001.



Family list

1 family member for: **JP2002311885**

Derived from 1 application

[Back to JP2002311](#)

1 **CIRCUIT FOR DRIVING PICTURE DISPLAY DEVICE, PICTURE DISPLAY
DEVICE, AND METHOD FOR DRIVING THE SAME**

Inventor: ABE NAOTO; YAMAZAKI TATSURO; (+1) **Applicant:** CANON KK

EC: **IPC:** *H04N5/68; G09G3/20; G09G3/22* (+9)

Publication info: **JP2002311885 A** - 2002-10-25

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-311885

(P2002-311885A)

(43)公開日 平成14年10月25日(2002.10.25)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 9 G 3/22		C 0 9 G 3/22	E 5 C 0 5 8 C 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 A
	6 1 2		6 1 2 U
	6 4 1		6 4 1 A
審査請求 未請求 請求項の数28 O L (全 22 頁) 最終頁に続く			

(21)出願番号 特願2001-115753(P2001-115753)

(22)出願日 平成13年4月13日(2001.4.13)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 阿部 直人

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 山崎 達郎

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100085006

弁理士 世良 和信 (外2名)

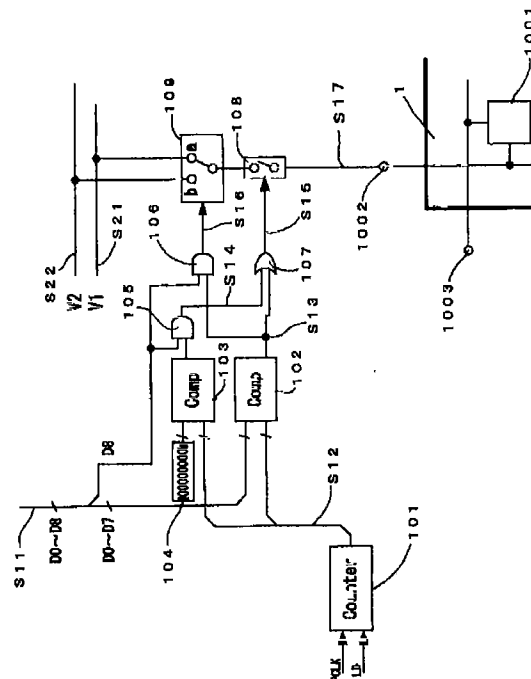
最終頁に続く

(54)【発明の名称】 画像表示装置の駆動回路、画像表示装置、画像表示装置の駆動方法

(57)【要約】

【課題】 小規模な回路構成で、電源や素子特性の変動による階調再現の劣化を低減でき、また、あらかじめガンマ補正が施された画像信号等でも優れた階調再現を実現し得る信頼性の高い画像表示装置、並びに該装置を実現するための駆動回路および駆動方法を提供する。

【解決手段】 入力された輝度データに基づいて、所定時間のパルス幅を有する電圧V1のパルスの一部または全部に代えて、その部分と同じパルス幅に電圧V2(V1<V2)を変調して、冷陰極素子1001に印加するパルス電圧を生成する。



【特許請求の範囲】

【請求項1】入力された輝度データに基づいて画像表示素子に印加するパルス電圧を生成する画像表示装置の駆動回路において、
前記輝度データに基づいて $n+1$ 個 ($n>1$) の異なる電圧から

$$V_m < V_{m+1} \quad (m=0, 1, 2, \dots, n-1)$$

なる関係を有する2つの電圧 V_m , V_{m+1} を選択する駆動電圧選択手段と、

前記輝度データに基づいて、所定時間のパルス幅を有する前記電圧 V_m のパルスの一部または全部に代えて、その部分と同じパルス幅に前記電圧 V_{m+1} を変調するパルス幅変調手段と、

を備えたことを特徴とする画像表示装置の駆動回路。

【請求項2】 $n+1$ 個の電圧 V_m ($m=0, 1, 2, \dots, n$) のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、
$$L_m' \leq (m/n) \times L_n'$$

なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項1に記載の画像表示装置の駆動回路。

【請求項3】 $n+1$ 個の電圧 V_m ($m=0, 1, 2, \dots, n$) のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、
$$L_m' / L_n' \approx (m/n) \times \gamma$$

 $\gamma > 1.0$
なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項1に記載の画像表示装置の駆動回路。

【請求項4】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$) を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、

該パルス電圧に対応する輝度データの値を D_m 、
前記電圧 V_{m+1} のパルス幅が最大幅に変調されときの輝度データの値を D_{m+1} 、

値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、

少なくともいずれかの m で、
$$L_m \leq (D_m / D_{m+1}) \times L_{m+1}$$

なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項1に記載の画像表示装置の駆動回路。

【請求項5】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$) を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、

該パルス電圧に対応する輝度データの値を D_m 、
前記電圧 V_{m+1} のパルス幅が最大幅に変調されときの輝度データの値を D_{m+1} 、

値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、

少なくともいずれかの m で、

$$L_m / L_{m+1} \leq (D_m / D_{m+1}) \times \gamma$$

$$\gamma > 1.0$$

なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項1に記載の画像表示装置の駆動回路。

【請求項6】前記 γ は、

$$\gamma \approx 2.2$$

であることを特徴とする請求項3または5に記載の画像表示装置の駆動回路。

【請求項7】前記電圧 V_m ($m=1, 2, \dots, n-1$) の前記所定時間のパルス幅は、

前記パルス幅変調手段が、所定時間のパルス幅を有する電圧 V_{m-1} のパルスの一部または全部に代えて、その部分と同じパルス幅に前記電圧 V_m を変調したときの、同電圧 V_m の最大パルス幅に等しいことを特徴とする請求項1～6のうちのいずれか1項に記載の画像表示装置の駆動回路。

【請求項8】前記電圧 V_0 の前記所定時間のパルス幅は、

前記パルス幅変調手段が、前記電圧 V_1 を変調したときの同電圧 V_1 の最大パルス幅に等しいかそれよりも長いことを特徴とする請求項7に記載の画像表示装置の駆動回路。

【請求項9】前記駆動電圧選択手段は、前記輝度データの上位 j ビット (j は自然数) を用いて、2つの電圧 V_m , V_{m+1} ($m=0, 1, 2, \dots, n-1$) を選択し、

前記パルス幅変調手段は、前記輝度データの残りの下位 k ビットを用いて電圧 V_{m+1} を変調することを特徴とする請求項1～8のうちのいずれか1項に記載の画像表示装置の駆動回路。

【請求項10】前記駆動電圧選択手段は、前記輝度データの上位 j ビットで表される値 D_j を用いて、 2^j+1 個の異なる電圧から2つの電圧 V_{0j} , V_{0j+1} を選択することを特徴とする請求項9に記載の画像表示装置の駆動回路。

【請求項11】前記輝度データの下位 k ビットで表される値を D_k 、

パルス幅変調クロックの周期を T_{pclk} 、とした場合に、
前記パルス幅変調手段は、前記電圧 V_{m+1} のパルス幅 T_w が、

$$T_w = T_{\text{pclk}} \times D_k$$

となるように変調することを特徴とする請求項9または10に記載の画像表示装置の駆動回路。

【請求項12】前記所定時間 T_{wb} は、

$$T_{wb} = T_{\text{pclk}} \times 2^k$$

であることを特徴とする請求項11に記載の画像表示装置の駆動回路。

【請求項13】前記電圧 V_0 は、画像表示素子を非発光

状態にする電位であることを特徴とする請求項1～12のうちいずれか1項に記載の画像表示装置の駆動回路。

【請求項14】前記電圧 V_0 は、基準電位であることを特徴とする請求項1～12のうちいずれか1項に記載の画像表示装置の駆動回路。

【請求項15】2次元的に配列された複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部を備え、前記複数の行配線に順次選択電位を印加して駆動走査を行う画像表示装置において、

請求項1～14のうちいずれか1項に記載の駆動回路を前記複数の列配線のそれぞれに設けたことを特徴とする画像表示装置。

【請求項16】前記所定時間は、行配線選択時間と等しいかそれよりも短いことを特徴とする請求項15に記載の画像表示装置。

【請求項17】表示する画像データを前記駆動回路に入力する輝度データに変換する変換手段を有することを特徴とする請求項15または16に記載の画像表示装置。

【請求項18】前記変換手段は、画像データのビット幅を入力とし、輝度データのビット幅を出力とする変換テーブルを記憶したメモリであることを特徴とする請求項17に記載の画像表示装置。

【請求項19】前記画像表示素子を冷陰極型電子放出素子で構成し、該冷陰極型電子放出素子から照射された電子によって発光する蛍光体を有する基板を前記被駆動部に対向して設け、該基板に前記電子を加速する加速電圧を印加することを特徴とする請求項15～18のうちいずれか1項に記載の画像表示装置。

【請求項20】前記冷陰極型電子放出素子は表面伝導型電子放出素子であることを特徴とする請求項19に記載の画像表示装置。

【請求項21】前記冷陰極型電子放出素子はFE型電子放出素子であることを特徴とする請求項19に記載の画像表示装置。

【請求項22】前記冷陰極型電子放出素子はMIIM型電子放出素子であることを特徴とする請求項19に記載の画像表示装置。

【請求項23】前記画像表示素子はEL素子であることを特徴とする請求項15～18のうちいずれか1項に記載の画像表示装置。

【請求項24】入力された輝度データに基づいて画像表示素子に印加するパルス電圧を生成する画像表示装置の駆動方法において、前記輝度データに基づいて $n+1$ 個($n>1$)の異なる電圧から

$$V_m < V_{m+1} \quad (m=0, 1, 2, \dots, n-1)$$

なる関係を有する2つの電圧 V_m 、 V_{m+1} を選択するステップと、

前記輝度データに基づいて、所定時間のパルス幅を有す

る前記電圧 V_m のパルスの一部または全部に代えて、その部分と同じパルス幅に前記電圧 V_{m+1} を変調するステップと、

を含むことを特徴とする画像表示装置の駆動方法。

【請求項25】 $n+1$ 個の電圧 V_m ($m=0, 1, 2, \dots, n$)のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、 $L_m' \leq (m/n) \times L_n'$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

【請求項26】 $n+1$ 個の電圧 V_m ($m=0, 1, 2, \dots, n$)のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、 $L_m' / L_n' \approx (m/n)^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

【請求項27】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$)を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるとき

の輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m \leq (D_m / D_{m+1}) \times L_{m+1}$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

【請求項28】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$)を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるとき

の輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m / L_{m+1} \leq (D_m / D_{m+1})^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

【請求項29】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$)を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるとき

の輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m / L_{m+1} \leq (D_m / D_{m+1})^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

【請求項30】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$)を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるとき

の輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m / L_{m+1} \leq (D_m / D_{m+1})^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

【請求項31】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$)を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるとき

の輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m / L_{m+1} \leq (D_m / D_{m+1})^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することを特徴とする請求項24に記載の画像表示装置の駆動方法。

素子をマトリクス状に結線してなる被駆動部を備えた画像表示装置に好適に利用可能なものである。

【0002】

【従来の技術】従来、この種の画像表示装置において、画像表示素子の発光輝度を制御するための駆動方法としては、大きく分けてPWM（パルス幅変調）方式とPAM（パルス振幅変調）方式とが知られている。

【0003】PWM方式は、画像表示素子に印加する駆動電圧のパルス幅（印加時間）を変化させて発光輝度を制御するものである。典型的な冷陰極型電子放出素子等の画像表示素子にあっては、電圧の印加時間に対して電子放出量はリニアに変化するため、PWM方式はPAM方式に比べ輝度制御が容易であるという利点がある。しかしながら、一素子の階調性を上げるためにはパルス幅変調の基準クロック（動作周波数）を高める必要があり、駆動回路の高コスト化や消費電力の増大などを招いてしまうという欠点がある。

【0004】一方、PAM方式は、駆動電圧の振幅（電圧値）を変化させて画像表示素子の発光輝度を制御するものである。この方式の場合には、基準クロックを高めることなく階調性を確保することが可能であるものの、一般に電子放出素子は電圧値に対して非線形な電子放出特性を示し、その放出電子の変化量も大きいことから、安定した輝度制御が困難であるという課題があった。

【0005】そこで、最近では、複数の駆動電圧を用いてパルス幅変調を行うことで、上記PWM方式の課題を解決しようとする試みがなされている。

【0006】たとえば、特開平10-39825号公報では、本出願人により、電圧V1と電圧V2の2種類の駆動電圧を用いることで、駆動回路の動作周波数を小さく抑える方法が開示されている。また、特開平8-22261号公報には、輝度データ（デジタル・ビデオ・ワード）を上位ビット・下位ビット（上位ニブル・下位ニブル）に分割して、複数の駆動電流源のパルス幅を選択する方法が開示されている。また、特開平7-181916号公報には、輝度データに基づいて駆動電圧・パルス幅の両方を制御する方法が開示されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記のような従来技術の駆動制御の場合には、電源（電圧、電流）の変動や画像表示素子の特性のばらつき、経時変化などによる影響を受けやすく、輝度階調のばらつきや画像品質の低下を招きやすいという課題があった。また、TV信号のようにあらかじめガンマ補正が施されている画像信号の階調再現性に難があるという課題もあった。

【0008】たとえば、特開平10-39825号公報に開示された構成では、同一パルス幅で電圧V2で駆動した輝度は、電圧V1で駆動した輝度の $(k+1)/k$ 倍であり、入力された輝度データに対して発光輝度がリニアになるように駆動電圧V1、V2のパルス幅を決定

している。このため、あらかじめガンマ補正がされている画像信号を表示する際に、低輝度の階調がやや足りず、逆に高輝度においては使用しない階調があるという無駄が生じてしまう。仮にこの構成において、低輝度の階調性を十分となるように設計するとするならば、パルス幅変調回路等のハードウェアを増加しなければならず、装置の大型化やコストの増大を招いてしまう。

【0009】また、駆動電圧V1のパルス幅単位（タイムスロット）の輝度階調の間の輝度をさらに分割するために駆動電圧V2で更に変調し、駆動電圧V1のパルス幅単位（タイムスロット）の間の輝度をさらに分割していた。このためV2の電源電圧変動や素子特性のばらつき、経時変化等により輝度データに対して発光輝度特性が所望の特性（リニア）からはずれ、最悪の場合、階調の逆転が生じ、著しく表示品位を落とす可能性があった。

【0010】特開平8-22261号公報に開示された構成では、下位ニブルのデータをパルス幅変調して得た駆動時間 D_L の駆動電流 I_1 に、上位ニブルのデータをパルス幅変調して得た駆動時間 D_H の駆動電流 I_2 を加えて電界放出素子を駆動している。なお、電圧源で駆動する例も開示開示されているが、電圧源駆動の場合も結果として前記電流駆動の例の駆動電流になるような駆動電圧が選ばれている。

【0011】そして、入力される輝度データ（デジタル・ビデオ・ワード）に対して輝度がリニアになるよう駆動電流 I_1 、駆動電流 I_2 のパルス幅を決定している。電圧源駆動の場合も、駆動電流は電流源駆動の場合と同じになるように選ばれているので、デジタルビデオワードに対して輝度がリニアになる。

【0012】したがって、この場合にも、上記特開平10-39825号公報の構成と同様に、あらかじめガンマ補正がされている画像信号を表示する際に、低輝度の階調がやや足りず、逆に高輝度においては使用しない階調があるという無駄が生じてしまう。また、低輝度の階調性を十分となるように設計するとするならば、ハードウェアの増加を要し、装置の大型化やコストの増大を招いてしまう。

【0013】また、特開平8-22261号公報の駆動方法にあっては、電流源 I_1 、 I_2 の出力電流変動が発光輝度の階調性に大きく影響を与えてしまう。たとえば、同公報の第一の実施例の数2によれば、ビデオ・ワード14～17（10進数）の入力に対する輝度 $L_{14} \sim L_{17}$ は以下のような関係になる。

$$L_{14} \propto I_m \propto I_1 \times 14$$

$$L_{15} \propto I_m \propto I_1 \times 15$$

$$L_{16} \propto I_m \propto I_2 \times 1$$

$$L_{17} \propto I_m \propto I_2 \times 1 + I_1 \times 1$$

【0014】このように、ビデオ・ワードが15から16に増加するときなどに電流源が切り替わってしまうた

め、電流源の出力電流変動や素子特性のばらつき・経時変化等によって、輝度データと発光輝度との入出力特性が所望の特性（リニア）からはずれやすく、最悪の場合、階調の逆転が生じ、著しく表示品位を落とす可能性があった。また、同公報において電圧源駆動を行っている実施例の場合も、結果的に電流源駆動の場合の電流値と同じになるような駆動電圧を設定するため、前記の問題が生じる可能性があった。

【0015】特開平7-181916号公報に開示された構成では、デジタルデータで入力されるMビット（ $M=K+L$ ）の画像データについて、Lビットで決まる電圧をKビットで決まるパルス幅に変調している。同公報にも述べられているようにLビットのPAM用データは画像面の表示むらやガンマ特性を補正するのに使われている。例えば同公報の図4に記述されているようにPWM16段階、PAM16段階（ $K=L=4$ ビット）で階調駆動する場合、光量のダイナミックレンジが広がるようにでき、同公報の図5に示されているように表示系に輝度階調特性（ガンマ特性）を任意に設定できるようにする例も開示されている。

【0016】しかしながら、この場合、Mビット全てが輝度階調数にはならず、特に同公報の図5に示されているようなガンマ補正を行う場合においてはK階調数を実現するために、Kと同じ値のLを画像データとして用意しなくてはならない。またガンマ補正を行う場合においては、例えば8ビット階調数（256）の場合は、PAMも8ビット階調が必要になり、駆動回路をIC化する場合パルス幅変調器ならびにPAMのためのD/AコンバータがX電極（列配線）ひとつ毎に必要であり、ハードウェアの増加とともに実現するコストが高くなる問題点があった。また、上述したようにPAM方式では安定した輝度制御が困難であり、電圧源の変動や素子特性の経時変化等の影響を受けやすいので、信頼性の高い階調再現性を確保することが難しいといえる。

【0017】本発明は、上記実情に鑑みなされたものであって、その目的とするところは、小規模な回路構成で、電源や素子特性の変動による階調再現の劣化を低減でき、また、あらかじめガンマ補正が施された画像信号等でも優れた階調再現を実現し得る信頼性の高い画像表示装置、並びに該装置を実現するための駆動回路および駆動方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明にあっては、入力された輝度データに基づいて画像表示素子に印加するパルス電圧を生成する画像表示装置の駆動回路において、前記輝度データに基づいて $n+1$ 個（ $n>1$ ）の異なる電圧から $V_m < V_{m+1}$ （ $m=0, 1, 2, \dots, n-1$ ）なる関係を有する2つの電圧 V_m, V_{m+1} を選択する駆動電圧選択手段と、前記輝度データに基づいて、所定時間

のパルス幅を有する前記電圧 V_m のパルスの一部または全部に代えて、その部分と同じパルス幅に前記電圧 V_{m+1} を変調するパルス幅変調手段と、を備えたことを特徴とする。

【0019】 $n+1$ 個の電圧 V_m （ $m=0, 1, 2, \dots, n$ ）のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、 $L_m' \leq (m/n) \times L_n'$ なる関係を満たすように前記 $n+1$ 個の電圧を設定するとよい。

【0020】また、 $n+1$ 個の電圧 V_m （ $m=0, 1, 2, \dots, n$ ）のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、 $L_m' / L_n' \approx (m/n)^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定するとよい。

【0021】前記電圧 V_m （ $m=0, 1, 2, \dots, n-1$ ）を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるときに輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m \leq (D_m / D_{m+1}) \times L_{m+1}$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することも好適である。

【0022】また、前記電圧 V_m （ $m=0, 1, 2, \dots, n-1$ ）を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるときに輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、 $L_m / L_{m+1} \leq (D_m / D_{m+1})^\gamma$ $\gamma > 1.0$ なる関係を満たすように前記 $n+1$ 個の電圧を設定することも好ましい。

【0023】前記 γ は、 $\gamma \approx 2.2$ であるといよい。

【0024】前記電圧 V_m （ $m=1, 2, \dots, n-1$ ）の前記所定時間のパルス幅は、前記パルス幅変調手段が、所定時間のパルス幅を有する電圧 V_{m-1} のパルスの一部または全部に代えて、その部分と同じパルス幅に前記電圧 V_m を変調したときの、同電圧 V_m の最大パルス幅に等しいといよい。

【0025】前記電圧 V_0 の前記所定時間のパルス幅は、前記パルス幅変調手段が、前記電圧 V_1 を変調したときの同電圧 V_1 の最大パルス幅に等しいかそれよりも長いとよい。

【0026】前記駆動電圧選択手段は、前記輝度データの上位 j ビット (j は自然数)を用いて、2つの電圧 V_m 、 V_{m+1} ($m=0, 1, 2, \dots, n-1$)を選択し、前記パルス幅変調手段は、前記輝度データの残りの下位 k ビットを用いて電圧 V_{m+1} を変調するとよい。

【0027】前記駆動電圧選択手段は、前記輝度データの上位 j ビットで表される値 D_j を用いて、 2^j+1 個の異なる電圧から2つの電圧 V_{Dj} 、 V_{Dj+1} を選択するとよい。

【0028】前記輝度データの下位 k ビットで表される値を D_k 、パルス幅変調クロックの周期を T_{pclk} 、とした場合に、前記パルス幅変調手段は、前記電圧 V_{m+1} のパルス幅 T_w が、

$$T_w = T_{pclk} \times D_k$$

となるように変調するとよい。

【0029】前記所定時間 T_{wb} は、

$$T_{wb} = T_{pclk} \times 2^k$$

であるとしてよい。

【0030】前記電圧 V_0 は、画像表示素子を非発光状態にする電位であるとよい。

【0031】前記基準電位は基準電位 (たとえば、 $V_0=0V$) であることが好ましい。

【0032】また、本発明の画像表示装置にあっては、2次元的に配列された複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部を備え、前記複数の行配線に順次選択電位を印加して駆動走査を行う画像表示装置において、上記の駆動回路を前記複数の列配線のそれぞれに設けたことを特徴とする。

【0033】前記所定時間は、行配線選択時間と等しいかそれよりも短いとよい。

【0034】表示する画像データに前記駆動回路に入力する輝度データに変換する変換手段を有するとよい。

【0035】前記変換手段は、画像データのビット幅を入力とし、輝度データのビット幅を出力とする変換テーブルを記憶したメモリであることが好ましい。

【0036】前記画像表示素子を冷陰極型電子放出素子で構成し、該冷陰極型電子放出素子から照射された電子によって発光する蛍光体を有する基板を前記被駆動部に対向して設け、該基板に前記電子を加速する加速電圧を印加するとよい。

【0037】前記冷陰極型電子放出素子は表面伝導型電子放出素子であるとよい。

【0038】また、前記冷陰極型電子放出素子はF型電子放出素子やMIM型電子放出素子であってもよい。

【0039】前記画像表示素子はEL素子であってもよい。

い。

【0040】また、本発明の画像表示装置の駆動方法にあっては、入力された輝度データに基づいて画像表示素子に印加するパルス電圧を生成する画像表示装置の駆動方法において、前記輝度データに基づいて $n+1$ 個 ($n>1$) の異なる電圧から

$$V_m < V_{m+1} \quad (m=0, 1, 2, \dots, n-1)$$

なる関係を有する2つの電圧 V_m 、 V_{m+1} を選択するステップと、前記輝度データに基づいて、所定時間のパルス幅を有する前記電圧 V_m のパルスの一部または全部に代えて、その部分と同じパルス幅に前記電圧 V_{m+1} を変調するステップと、を含むことを特徴とする。

【0041】 $n+1$ 個の電圧 V_m ($m=0, 1, 2, \dots, n$) のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、 $L_m' \leq (m/n) \times L_n'$

なる関係を満たすように前記 $n+1$ 個の電圧を設定するとよい。

【0042】また、 $n+1$ 個の電圧 V_m ($m=0, 1, 2, \dots, n$) のそれぞれを同一のパルス幅で画像表示素子に印加したときに、各電圧に対する輝度 L_m' が、

$$L_m' / L_n' \approx (m/n) \times \gamma$$

$$\gamma > 1.0$$

なる関係を満たすように前記 $n+1$ 個の電圧を設定するとよい。

【0043】前記電圧 V_m ($m=0, 1, 2, \dots, n-1$) を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるときの輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、

$$L_m \leq (D_m / D_{m+1}) \times L_{m+1}$$

なる関係を満たすように前記 $n+1$ 個の電圧を設定することも好適である。

【0044】また、前記電圧 V_m ($m=0, 1, 2, \dots, n-1$) を前記所定時間のパルス幅で画像表示素子に印加したときの輝度を L_m 、該パルス電圧に対応する輝度データの値を D_m 、前記電圧 V_{m+1} のパルス幅が最大幅に変調されるときの輝度データの値を D_{m+1} 、値 D_{m+1} に基づいて変調されたパルス電圧を画像表示素子に印加したときの輝度を L_{m+1} 、とした場合に、少なくともいずれかの m で、

$$L_m / L_{m+1} \leq (D_m / D_{m+1}) \times \gamma$$

$$\gamma > 1.0$$

なる関係を満たすように前記 $n+1$ 個の電圧を設定することも好ましい。

【0045】

【発明の実施の形態】以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている具体的な回路構成は、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0046】（第1の実施の形態）図1に本発明の第1の実施の形態に係る画像表示装置の駆動回路を示す。本実施の形態の駆動回路をわかりやすく説明するために、図1では列配線1本を駆動する回路のみを示している。以下では、同図1を参照しながら、選択された行配線1003と列配線1002に結線された冷陰極素子1001を駆動する駆動回路についての説明を行う。

【0047】なお、本実施の形態の画像表示装置では、画像表示素子たる冷陰極素子（冷陰極型電子放出素子ともいう。）を2次元的に複数個配列し、それぞれを複数本の行配線と複数本の列配線によってマトリクス状に結線して被駆動部たるマトリクス画像表示パネル1を構成している。図1に示した列配線1002以外の列配線についても同図と同様な駆動回路が設けられていることは言うまでもない。

【0048】図1に示すように、本実施の形態の駆動回路は、パルス幅変調の基準となるクロック（PCLK）を受けてカウントを行うカウンタ101と、比較器102、103と、定数レジスタ104と、AND回路105、106と、OR回路107と、スイッチ108、109とを備えて構成される。

【0049】冷陰極素子1001は不図示の基板上に形成されている。また、冷陰極素子1001に対向して不図示の蛍光体が塗布され高電圧（加速電圧）が印加されているガラス等の基板があり、冷陰極素子1001から放出される電子によって発光する。列配線1002と行配線1003の交差部分は互いに絶縁され、その交差部分近傍に形成された冷陰極素子1001は引き出し電極によって列配線1002と行配線1003に結線されている。

【0050】図1の構成において、後述するように、行配線は水平同期信号単位で順次選択電位が印加され、選択された行配線の画像データに対応して列配線が同時に駆動され画像が形成される。

【0051】また、同図中、S11は駆動回路に入力される輝度データ、S12はカウンタ101の出力データ、S13は比較器102の出力信号、S14はAND回路105の出力信号、S15はスイッチ108の制御信号、S16はスイッチ109の制御信号、S17は駆動信号であり、S21は電圧V1の電源ライン、S22は電圧V2の電源ラインを示している。

【0052】次に本実施の形態の動作を説明する。

【0053】図1において、行配線毎に対応する輝度データS11は水平同期信号に同期したロード信号LDの立ち上がりパルスにより決定される。そして、輝度デ

ータS11の下位8ビット（D0～D7）が比較器102に、上位1ビット（D8）がAND回路105、106に入力される。本実施の形態では輝度データS11は9ビットの例を示したがビット数は9ビットに限るものではない。更に、輝度データS11を上位1ビット、下位8ビットに分割し処理をしたがこれに限るものではない。

【0054】一方、カウンタ101は水平同期信号に同期したロード信号LDによりリセットされ、0から順次パルス幅変調の基準クロックであるPCLKの立ち上がりにより同期して増加する。カウンタ101の出力データS12は、本実施の形態では輝度データと同様に9ビットであり、比較器103に入力される。また、カウンタ101の出力データS12の下位8ビットは比較器102に入力される。

【0055】比較器103の他方の入力定数レジスタ104の出力を受ける。定数レジスタの値は“100000000b”（2進数。1はHレベルを意味する。）すなわち‘256’（10進数。以下10進数の場合は注釈をつけない。）であり、比較器103は、カウンタ101の出力データS12が1以上かつ256以下の時にHレベルの信号を出力する。

【0056】なお、本実施の形態では、比較器103を用いてカウンタ101の出力データS12が1～256の時にHレベルの出力をする機能を実現したが、他の方法で実現しても構わない。例えば、カウンタ101の出力データS12の上位1ビットを反転し、1PCLK分ディレイすることなどにより実現することもできる。

【0057】一方、比較器102は、カウンタ101の出力データS12の下位8ビットと輝度データS11の下位8ビットを比較して、カウンタ101の出力データS12の下位8ビットで表現される値が1以上かつ輝度データS11の下位8ビットで表現される値以下の時、Hレベルの信号S13を出力する。

【0058】AND回路105は、輝度データS11の上位1ビットと比較器103の出力信号をANDする。すなわち輝度データS11の上位1ビットがHレベル（輝度データS11が256以上）の時のみ、カウンタ101の出力データS12が1から256の間Hレベルとなる信号S14を出力する。

【0059】OR回路107は、AND回路105の出力信号S14と比較器102の出力信号S13をORし制御信号S15を出力する。すなわち輝度データS11が256以下の時、カウンタ101の出力データS12の下位8ビットが1から輝度データの下位8ビットで表現される値になるまでの時間、Hレベルの制御信号S15を出力する。また輝度データS11が256以上の時、カウンタ101の出力データS12が1から256の間Hレベルの制御信号S15を出力する。

【0060】一方、AND回路106は輝度データS1

1の上位1ビットと比較器102の出力信号S13をANDする。そして輝度データS11が256以上の時のみ、カウンタ101の出力データS12の下位8ビットが1から輝度データの下位8ビットで表現される値になるまでの時間、Hレベルの制御信号S16を出力する。

【0061】本実施の形態ではカウンタ101を9ビット幅に選んだ。そして1水平同期期間において駆動時間の最大値のデューティは256/511以上511/511未満と設計した(具体的には、1水平同期期間内で約9割の時間を発光する時間に割り当てる様に設計した。)ので、次のロード信号LDはカウンタ101が'511'をカウントする前に入る。そのためロード信号LDが入る前にカウンタ101が'0'に戻って異常な動作をすることは無い。

【0062】次に、スイッチ108は、制御信号S15に従ってスイッチの開閉を行う。制御信号S15がHレベルの時はスイッチ108は閉じる。またスイッチ109は、制御信号S16に従ってスイッチの切り替えを行う。制御信号S16がHレベルの時にスイッチ109は接点bとなり、Lレベルの時に接点aに切り替える。すなわち、制御信号S16がHレベルの時に電源ラインS22を選択し、スイッチ109は電圧V2をスイッチ108に出力する。逆に、制御信号S16がLレベルの時に電源ラインS21を選択し、スイッチ109は電圧V1をスイッチ108に出力する。

【0063】本実施の形態のタイミング図を図2に示す。図2において、輝度データS11は図中初めの水平同期期間では'3'、次の水平同期期間では'259'の例を示す。

【0064】図2において、後述する輝度データをパラレルに変換するシフトレジスタの出力をラッチするためのラッチ回路に供給するロード信号LD(水平同期信号HDに同期している)により、輝度データS11は確定する。

【0065】一方、カウンタ101は、ロード信号LDがHレベル時のPCLKの立ち上がりでカウンタを'0'にリセットし、順次PCLKの立ち上がりクロックをカウントする。本実施の形態では、このカウンタ101の出力データS12の下位8ビットに基づきパルス幅変調の駆動出力を決定している。

【0066】説明を簡単化するために、カウンタ101の出力データS12の値に対応する時間をタイムスロットとして以降表現する。例えばカウンタ101の出力データS12が'1'に相当する時間をタイムスロット1と便宜上表現する。

【0067】比較器102は、輝度データS11の下位8ビットとカウンタ101の出力データS12の下位8ビットを前述したように比較し、信号S13を出力する。すなわち、図2において、信号S13は初めの水平同期期間ではタイムスロット1〜3の間Hレベル、次の

水平同期期間ではタイムスロット1〜3の間Hレベルとなる。

【0068】また、比較器103は、定数レジスタ104の出力とカウンタ101の出力データS12を前述したように比較し、信号S14を出力する。すなわち、図2において、初めの水平同期期間では輝度データS11が'3'であるので出力信号S14はLレベル、次の水平同期期間では輝度データS11が'259'であるので、出力信号S14はタイムスロット1〜256の間Hレベルとなる。

【0069】スイッチ108の制御信号S15はOR回路107の出力、スイッチ109の制御信号S16はAND回路106の出力であるので、駆動回路から出力される駆動信号S17は、図2に示したように、初めの水平同期期間ではタイムスロット1〜3の間に電圧V1を出力するようなパルス電圧となる。また、次の水平同期期間ではタイムスロット1〜3の間に電圧V2を出力し、タイムスロット4〜256の間に電圧V1を出力するようなパルス電圧となる。

【0070】ところで本実施の形態では、電圧V1と電圧V2とが、

$$V1 < V2 \quad \dots\dots \text{式1})$$

なる関係を満たすように設定している。

【0071】さらに本実施の形態では、駆動回路の設計思想上、仮想的な電圧V0を導入している。スイッチ108が切断されている状態では列配線に駆動信号S17は出力されないの、冷陰極素子に対応する蛍光体は発光しない。この状態を所定時間T0で電圧V0を印加しているものと規定する。その所定時間T0は電圧V1をパルス幅変調したときの電圧V1の最大時間T1(最大パルス幅)に等しいか長い。また、所定時間T0は、選択電位を行配線に印加する時間と等しいか短く選ぶ。電圧V0は冷陰極素子に対応する蛍光体が非発光状態にする電位であるともいえる。

【0072】これにより、本実施の形態では、輝度データS11の上位1ビットに対して、

$$V0 < V1 < V2 \quad \dots\dots \text{式1'})$$

なる関係を有する3種類($2^1 + 1$ 種類)の電圧値が用いられていることになる。

【0073】ここで、入力された輝度データS11の上位1ビットで表される値が'0'の場合(輝度データS11が'256'以下の場合)には、電圧V0に電圧V1がパルス幅変調される。

【0074】まず、輝度データS11の残りの下位8ビットで表される値に基づき、電圧V0のパルス幅変調用の信号S14と、電圧V1のパルス幅変調用の信号S13とが生成される。(ただし、本実施の形態では電圧V0を仮想的に設定しているの、電圧V0に相当する波形は現れない。)その後、信号S14に基づいて電圧V0のパルス幅変調が、信号S13に基づいて電圧V1の

パルス幅変調が行われる。このとき出力されるパルス電圧は、所定時間T0のパルス幅を有する電圧V0のパルスの一部または全部に代えて、その部分と同じパルス幅に変調された電圧V1が組み合わされたような波形になる。

【0075】一方、入力された輝度データS11の上位1ビットで表される値が‘1’の場合（輝度データS11が‘257’以上の場合）には、電圧V1に電圧V2がパルス幅変調される。

【0076】したがって、下位8ビットで表される値に基づき、電圧V1のパルス幅変調用の信号S14と電圧V2のパルス幅変調用の信号S13とが生成され、信号S14に基づいて電圧V1のパルス幅変調が、信号S13に基づいて電圧V2のパルス幅変調が行われる。このとき出力されるパルス電圧は、電圧V1の最大パルス幅T1のパルス電圧の一部に代えて、当該部分と同じパルス幅に変調された電圧V2が組み合わされたような波形となる。

【0077】以上の動作により得られるパルス電圧の駆動波形を図3に模式的に示す。図3(a)は入力された輝度データS11が‘0’～‘256’の場合のパルス電圧の波形を示し、同図(b)は輝度データS11が‘257’～‘511’の場合の波形を示すものである。

【0078】図3(a)に示すように、輝度データS11が‘256’以下の時は、電圧V1のパルス幅変調と等価な駆動制御となり、タイムスロット1～256に対応して電圧V1がパルス幅変調される。また、輝度データS11が‘257’～‘511’の時は、図3(b)に示すように、タイムスロット1～(輝度データS1の下位8ビットの値)で決まるタイムスロットに対応して電圧V2がパルス幅変調され、残りのタイムスロット256までの間は電圧V1が出力される。いいかえれば、輝度データS11が‘257’以上の場合には、電圧V1がタイムスロット1～256の間出力され、この電圧V1にパルス幅変調された電圧V2が重畳されているようなパルス電圧が得られているともいえる。

【0079】このように、本実施の形態の駆動方法によれば、最初は電圧V1のみでパルス幅変調を行い、電圧V1が最大パルス幅となった後に初めて電圧V2を出力することとなり、さらに電圧V2を出力する際にも必ず電圧V1の最大パルス幅に相当するパルス電圧は確保された状態となる。したがって、駆動回路の電圧V1、V2のばらつきや素子のばらつき変化等があったとしても、輝度データが増加すれば必ず発光輝度も増加するという単調増加性は容易かつ確実に実現でき、階調の逆転が起きることはないので、常に良好な階調再現を得ることが可能となる。

【0080】なお、電圧V1と電圧V2の差を大きくできることや、V1<V2である回路構成を作製するのは

容易であるため、駆動回路のばらつきの影響はさほど深刻ではない。仮に電圧V1、V2がばらついた場合であっても、輝度階調の単調増加性は損なわれず、単にガンマ特性の変化として現れるにすぎないので、表示画像の主観評価にはさほど影響を与えない。

【0081】また、本実施の形態の駆動方法によれば、8ビットパルス幅変調相当の周波数のPCLKで9ビット相当のパルス幅変調が持つ階調数を実現できるので、回路構成の簡易化、装置の小型化・低廉化、消費電力の低減、発熱の抑制などの優れた効果を得ることができる。

【0082】さらに、本発明者らは前記駆動電圧V1、V2の電圧を以下のように選ぶことによって、CRTに対応してあらかじめガンマ補正されているTV信号のような画像信号の表示の際に、顕著な階調性の向上を見いだした。

【0083】すなわち、電圧V1のパルス幅が最大となるときの輝度データの値をD₁、値D₁に応じて変調されたパルス電圧を印加した際の発光輝度をL₁、電圧V2のパルス幅が最大となるときの輝度データの値をD₂、値D₂に応じて変調されたパルス電圧を印加した際の発光輝度をL₂とした場合に、

$$L_1/L_2 \leq D_1/D_2 \quad \dots\dots\text{式2)}$$

なる関係を満たすように電圧V1と電圧V2とを設定するとよい。なお、本実施の形態では、D₁=256、D₂=511であるので、上記条件式2)は次式2')のようになる。

$$L_1/L_2 \leq 256/511 \quad \dots\dots\text{式2')}$$

【0084】このように電圧V1、V2を設定することにより、輝度データの値を入力とし、その値に応じて変調されたパルス電圧を印加した際の発光輝度を出力とした場合の入出力特性のガンマ値が1以上となる。

【0085】さらに良好な条件としては、前記ガンマ値が表示系の特性に要求されるガンマ値に近いことが好ましい。具体的には、下記式3)で表されるガンマ値γが、1.0～3.0程度になるように電圧V1と電圧V2とを設定すればよい。

$$\begin{aligned} L_1/L_2 &= (D_1/D_2)^\gamma \\ &= (256/511)^\gamma \quad \dots\dots\text{式3)} \end{aligned}$$

【0086】ここで、例えばCRTと同様なガンマ特性で表示する場合は、ガンマ値γを約2.2とする。本実施の形態では、図4に示したように、

$$L_1/L_2 \approx 1/4$$

となるように電圧V1、V2を設定したところ、あらかじめガンマ補正されたTV信号等を良好に表示することができた。

【0087】なお、本実施の形態のごとく、電圧V1の最大パルス幅T1と電圧V2の最大パルス幅T2が略同じ幅である場合には、上記式2')と式3)の代わりに次のような条件式により電圧V1、V2を設定してもよ

い。

【0088】すなわち、所定のパルス幅で冷陰極素子に電圧V1を印加したときの輝度を L_1' 、同一のパルス幅で冷陰極素子に電圧V2を印加したときの輝度を L_2' とした場合に、

$$L_1' \leq (1/2) \times L_2' \quad \cdots \cdots \text{式2'}$$

なる関係を満たすように電圧V1と電圧V2とを設定しても、上記式2')に準じた効果を得ることができる。

【0089】また、上記式3')に代わるものとして、 $L_1' / L_2' = (1/2)^\gamma \quad \cdots \cdots \text{式3'}$

を満たすように電圧V1、V2を設定してもよい。この場合も、式3')で表されるガンマ値 γ が1.0～3.0程度になるように電圧V1、V2を設定することが好ましく、さらにCRTと同様なガンマ特性で表示する場合にはガンマ値 γ を約2.2とすることが好適である。

【0090】上記のように電圧V1、V2を設定するのは、以下のような理由による。

【0091】従来、本出願人による特許第3073486号公報にも示されているように、表示系の特性が単純なパルス幅変調の場合は、入力される信号—輝度の入出力特性はリニアな特性を示すことが一般であった。このようリニアな入出力特性を有する表示系に、CRTに対応したガンマ補正が施されているTV信号のような画像信号を表示する際には、前記ガンマ補正を打ち消すために逆ガンマ変換を行う必要がある。例えば従来の8ビットのリニアな特性であるパルス幅変調を行なった場合、逆ガンマ変換において画像データを2.2乗し輝度データとし出力するため、低輝度において階調性は著しく劣化し、高輝度においてパルス幅変調における使用しない階調が生じるという問題があった。

【0092】ところが、本実施の形態の駆動方法によれば、上記条件式を満たすように電圧V1、V2を決定することで、低輝度（輝度データが‘256’以下のとき）における入出力特性の傾きを小さく、すなわち低輝度の階調性を高めることができるのである。

【0093】たとえば、 L_1/L_2 が約1/4になるように電圧V1、V2を設定した場合には、輝度データ対正規化した輝度の入出力特性は図4のグラフに示すようになる。上記の場合には、低輝度における輝度増加量 ΔI を約1/1024と小さくすることができる。これは10ビットパルス幅変調相当に匹敵する階調性である。

【0094】このように、本実施の形態によれば、8ビットパルス幅変調相当の周波数のPCLKで9ビットパルス幅変調による階調数（512階調）を実現できるとともに、低輝度において略10ビットパルス幅変調相当に匹敵する1階調あたりの輝度増加量を持つことができるので、小規模な回路構成で優れた階調再現を実現することが可能となる。また、高輝度側にあっても、従来の単純な8ビットパルス幅変調よりも良好な階調性を得る

ことができる。

【0095】本実施の形態では従来の単純なパルス幅変調の基準クロック周波数（PCLKの周波数）を変えず（タイムスロットの時間を変えず）、階調性を向上させる例を示した。当然、駆動回路の可能な動作周波数や消費電力やEMI等の問題から、従来のパルス幅変調の基準クロック周波数（PCLKの周波数）を落とした（タイムスロットの時間を長くする）場合であっても、階調性の向上を実現することが可能である。また従来の単純なパルス幅変調と比べて特に低輝度の階調性を改善することができる。この場合、後述する輝度データ変換器のテーブルは入力される画像データ—輝度特性（表示系の特性）が表示系に要求されるガンマ特性と同じになるように設計することが好ましいのは言うまでも無い。

【0096】図5は、表示系の特性がCRTと同様に画像データの2.2乗の特性を持つようにした場合の輝度データ変換器の画像データ—輝度データ特性である。前述した低輝度の階調性の改善部分を図5のAで示した。

【0097】さらに、図6は表示系の特性がBTA、SMPTE1125/60スタジオ規格である場合の輝度データ変換器の画像データ—輝度データ特性である。前述した様に低輝度の階調性は10ビット確保されているので、図6のBにおいて階調数の減少は無い（すなわちすべての画像データに対して異なる輝度データ割り付けが可能になる）。そのため、階調表現能力が著しく向上した。

【0098】次に、本実施の形態の画像表示装置の全体構成を、図7を参照して説明する。

【0099】本実施の形態の画像表示装置に具備されるマトリクス画像表示パネル1は、薄型の真空容器内に、基板上に多数の画像表示素子、例えば冷陰極素子1001等の電子源を配列してなるマルチ電子源と、冷陰極素子1001から照射された電子によって発光する蛍光体等を有する基板（画像形成部材）とを対向配置して構成される。

【0100】冷陰極素子1001は列配線1002、行配線1003の各交点近傍に配置され両配線に接続される。冷陰極素子1001は、例えばフォトリソグラフィ・エッチングのような製造技術を用いれば基板上に精密に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来からCRT等で用いられてきた熱陰極と比較すると、陰極自身や周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。

【0101】本発明者らは冷陰極素子（冷陰極型電子放出素子）として表面伝導型電子放出素子を用いた。表面伝導型電子放出素子の構成・製造法については、本出願人による特開平10-39825号公報に詳しく述べているので、ここではその説明は省略する。

【0102】実際の表面伝導型電子放出素子の駆動電圧

V_f と素子電流 I_f 、放出電流 I_e の関係を図14に示す。図14において、横軸は表面伝導型電子放出素子の両電極に印加する駆動電圧 V_f を、縦軸は両電極間に流れる素子電流 I_f ならびに素子から放出される放出電流 I_e を示している。図14を見てわかるように放出電流 I_e において、スレッシュホールド電圧 (約8V) が存在し、スレッシュホールド電圧以下では放出電流 I_e が流れない。またそれ以上の電圧では印加する駆動電圧 V_f に応じて放出電流 I_e が流れる。この特性を利用して以下に示す単純マトリクス駆動をおこなった。

【0103】図7に示すように、本実施の形態のマトリクス画像表示パネル1上には、水平方向に480素子すなわち160画素 (RGB) \times 3が配置され、垂直方向に240素子が配置されている。なお、素子数に関しては480素子 \times 240素子に限られず、製品用途等により必要に応じて決定すればよい。

【0104】マトリクス画像表示パネル1の各冷陰極素子1001は、画像表示時の色に合わせ、 Ru, v ($u=1, 2, 3, \dots, 240; v=1, 4, 7, \dots, 478$)、 Gu, v ($u=1, 2, 3, \dots, 240; v=2, 5, 8, \dots, 479$)、 Bu, v ($u=1, 2, 3, \dots, 240; v=3, 6, 9, \dots, 480$) で示した。マトリクス画像表示パネル1は、例えばRGBストライプ配列の画素配置をもつ。

【0105】アナログデジタル変換器 (A/Dコンバータ) 2は、不図示のデコードにより例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号 (信号名をS0とする) を、各々例えば8ビット幅のデジタルRGB信号S1に変換する。

【0106】データ並び替え部3は、A/Dコンバータ2またはコンピュータ等のデジタルRGB信号S1の入力を受けて、マトリクス画像表示パネル1の画素配列に合わせデジタルデータを並べ替えて画像データS2を出力する。

【0107】輝度データ変換器4は、画像データS2の入力を受けて、所望の輝度特性に変換して輝度データS3を出力する変換テーブルを記憶したメモリを備えている。この変換テーブルとしては、例えば、表示系の特性としてCRT用にガンマ補正された信号の逆変換を行うようなものが好ましい。

【0108】シフトレジスタ5は、輝度データ変換器4から出力される輝度データS3をシフトクロック (SCLK) で順次シフト転送し、マトリクス画像表示パネル1のそれぞれの素子 (列配線) に対応した輝度データをパラレルに出力する。

【0109】ラッチ回路6は、シフトレジスタ5からの輝度データを水平同期信号に同期したロード信号LDで並列にラッチし、次のロード信号LDが入力される期間保持する。

【0110】駆動回路7は、前述した図1の構成の回路

がマトリクス画像表示パネル1の複数の列配線1002のそれぞれに設けられた構成となっており、列配線1002の各々を駆動する。なお、前述した図1における輝度データS1は図5においてXD1~XD480配線の信号であり、前述した図1における駆動信号S17は図5においてX1~X480列配線の信号に対応する。

【0111】走査ドライバ8は、走査信号発生部81とスイッチ手段82とを備えて構成され、マトリクス画像表示パネル1の各行配線1003に接続されている。走査信号発生部81は、垂直同期信号に同期したYST信号を水平同期信号に同期した信号HDで順次シフトし行配線数に対応しパラレルに出力する。スイッチ手段82は、MOSトランジスタ等で構成され、走査信号発生部81の出力レベルによってスイッチを切り替え選択電位 ($-V_{ss}$)・非選択電位 (GND) を切り替え出力する。

【0112】タイミング制御部10は、入力画像の同期信号及びデータサンプリングクロック (DCLK) 等から、各機能ブロックの所望のタイミング制御信号を生成する。

【0113】次に図7および図8を参照して、本実施の形態の画像表示装置の全体構成の動作を説明する。図8は画像表示装置の全体構成のタイミング図である。

【0114】図7において、不図示のデコードによってNTSC信号等の入力画像信号からRGB信号にデコードされたアナログRGBコンポーネント信号 (S0) を、A/Dコンバータ2は、各々例えば8ビット幅のデジタルRGB信号 (S1) に変換する。

【0115】データ並び替え部3は、A/Dコンバータ2またはコンピュータ等のデジタルRGB信号 (S1) を入力する。この際、1走査ライン (1H) のデータ数は、マトリクス画像表示パネル1の列配線側の画素数で決めると処理が簡単になる。本実施の形態の場合、マトリクス画像表示パネル1の列配線側の画素数を160に決めた。

【0116】A/Dコンバータ2またはコンピュータ等のデジタルRGB信号 (S1) は不図示のデータサンプリングクロック (DCLK) と同期して出力される。図8に示す様に、データ並び替え部3の入力信号 (S1) は、RGBパラレル信号を、データサンプリングクロック (DCLK) の3倍の周波数のクロックである不図示のシフトクロック (SCLK) のタイミングで切り替えられ、マトリクス画像表示パネル1のRGB画素配列に従って、順次出力される。

【0117】データ並び替え部3の出力信号 (S2) は、輝度データ変換器4に入力される。輝度データ変換器4は、あらかじめ、所望のデータが記憶されている不図示の変換テーブル (ROM) により、例えばデータ並び替え部3の8ビット幅の出力信号 (S2) を例えば表示系の特性がCRTのガンマ特性と同等の輝度特性にな

るような9ビット幅の輝度データS3に変換する。

【0118】例えば図4の特性を持つ駆動回路7およびマトリクス画像表示パネル1においては変換テーブルの特性は前述したように図5あるいは図6のような特性を使用する。

【0119】輝度データ変換器4の出力である輝度データ(S3)は、9ビット幅のシフトレジスタ5に送られ、シフトクロック(SCLK)で順次シフト転送し、マトリクス画像表示パネル1のそれぞれの素子に対応した輝度データをシリアルパラレル変換し出力する。

【0120】そしてラッチ回路6は、水平同期信号に同期したロード信号LDの立ち上がりでシリアルパラレル変換された輝度データをラッチし、次のロード信号LDが入力されるまでデータを保持出力する。

【0121】ロード信号LDの時刻を基準とし、駆動回路7はPCLKに同期して列配線(X1~X480)を前述した方法で駆動する。

【0122】走査ドライバ8は、図8に示したように走査開始時刻を決める信号(YST)を水平同期信号(HD)に同期して順次転送することによって行配線を駆動する。そして順次行配線を走査し画像を形成する。

【0123】本実施の形態において、NTSC信号を240本の走査配線のマトリクス画像表示パネル1で表示させるために、インターレースされている有効走査線の485本の内480本をフィールド毎にマトリクス画像表示パネル1に重ね書きし駆動した。NTSC信号の1フィールドをマトリクス画像表示パネル1では1フレームとして扱った。すなわちマトリクス画像表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号として駆動した。

【0124】この時、1走査ラインの表示に要する時間は、NTSC信号ではおよそ63.5 μ Secであり、その時間内の約56.5 μ Secを列配線の駆動パルス(パルス電圧)の最大時間(最大パルス幅)と決めた。よってPCLKは、駆動パルス幅の最長をタイムスロット256に選んだので、PCLKのパルス数は、256個の時に約56.5 μ Secとなるような周波数を選んだ。すなわち1パルスのパルス幅は約220nSecのクロック、約4.5MHzの周波数のPCLKをパルス幅変調の基準クロックとした。

【0125】走査ドライバ8は、水平同期信号(HD)に同期して行配線を順次1番目(Y1)から240番目(Y240)を選択電位-Vss(例えば-7.5V)で順次駆動する。この時、走査ドライバ8は、選択していない他の行配線の電圧を非選択電位0Vに駆動する。

【0126】図8を見て明らかなように、駆動パルス幅の最長(タイムスロット1~256)の時間において、走査ドライバ8は選択する行を選択電位に保つ必要がある。言い換えれば、選択時間(行配線選択時間)は画像を形成するために、必ず駆動パルス幅の最長(タイムス

ロット1~256)の時間よりも長い又は同じである必要がある。

【0127】走査ドライバ8によって選択された行配線上の冷陰極素子1001のうち、駆動回路7から電圧V1または電圧V1とV2の駆動信号S17が出力された素子には、選択電位-Vssと駆動信号S17との電位差(駆動電圧Vf)に応じた放出電流Ieが流れる。一方、駆動信号S17が出力されない(スイッチ108が閉じていない)列配線に対応する素子は素子電流Ifが流れず、したがって放出電流Ieが流れないので発光しない。そして走査ドライバ8は水平同期信号(HD)に同期して行配線を順次1から240番目を選択電位-Vssで順次駆動し、対応する行配線に駆動回路7は電圧V1、V2で輝度データに対応する駆動信号S17で駆動し、画像を形成する。

【0128】本実施の形態では、電圧V1、V2の電圧値は図4の特性になるように決定した。輝度と放出電流Ieの関係はほぼ比例しており、図14における放出電流Ie1とIe2の関係は上述した輝度L1とL2の関係と略等しいと考えても差し支えないので、素子特性に基づいて列配線の電圧V1とV2に対応する放出電流Ie1、Ie2の比が1:4になる様に電圧V1とV2とを決定した。

【0129】具体的には、行配線を選択電位を-7.5Vに選んだので、V1=5V、V2=7.5Vとし、駆動回路7がV1を出力している時の駆動電圧Vfは12.5V、駆動回路7がV2を出力している時の駆動電圧Vfは15Vになった。そして放出電流Ie1は0.085 μ A、Ie2は0.34 μ Aとなり、図4に示すような輝度特性を得ることができた。

【0130】以上述べてきたように、本発明の第1の実施の形態によれば、8ビットパルス幅変調相当の周波数のPCLKで9ビット相当のパルス幅変調が持つ階調数を実現できる。さらに、輝度データ輝度の入出力特性のガンマ値が一般的な表示系の特性に要求されるガンマ値に近くなるように電圧V1、V2を設定することによって、低輝度の階調性をさらに良好にできた。

【0131】(第2の実施の形態)図9には、本発明の第2の実施の形態が示されている。上記第1の実施の形態では、電圧V1、V2を用いてパルス幅変調を行う駆動方法を示したが、本実施の形態では、さらに多くの電圧電源を用いる駆動方法について説明する。

【0132】画像表示装置の全体構成および全体構成のタイミング制御については第1の実施の形態と同一なので、ここではその説明は省略する。

【0133】図9に本実施の形態に係る画像表示装置の駆動回路を示す。本実施の形態の駆動回路をわかりやすく説明するために、図9では列配線1本を駆動する回路のみを示している。以下では、同図9を参照しながら、選択された行配線1003と列配線1002に結線され

た冷陰極素子1001を駆動する駆動回路についての説明を行う。

【0134】なお、本実施の形態の画像表示装置では、画像表示素子たる冷陰極素子（冷陰極型電子放出素子ともいう。）を2次元的に複数個配列し、それぞれを複数本の行配線と複数本の列配線によってマトリクス状に結線して被駆動部たるマトリクス画像表示パネル1を構成している。図9に示した列配線1002以外の列配線についても同図と同様な駆動回路が設けられていることは言うまでもない。

【0135】図9に示すように、本実施の形態の駆動回路は、パルス幅変調の基準となるクロック（PCLK）を受けてカウントを行うカウンタ201と、比較器202、203と、デコーダ204と、定数レジスタ205と、OR回路206、207と、AND回路208、209と、スイッチ210、211、212、213とを備えて構成される。

【0136】冷陰極素子1001は不図示の基板上に形成されている。また、冷陰極素子1001に対向して不図示の蛍光体が塗布され高電圧（加速電圧）が印加されているガラス等の基板があり、冷陰極素子1001から放出される電子によって発光する。列配線1002と行配線1003の交差部分は互いに絶縁され、その交差部分近傍に形成された冷陰極素子1001は引き出し電極によって列配線1002と行配線1003に結線されている。

【0137】図9の構成において、行配線は水平同期信号単位で順次選択電位が印加され、選択された行配線の画像データに対応して列配線が同時に駆動され画像が形成される。

【0138】また、同図中、S31は輝度データ、S32はカウンタ201の出力データ、S33は比較器202の出力信号、S34は比較器203の出力信号、S35はデコーダ204の出力信号、S36はスイッチ210の制御信号、S37はスイッチ211の制御信号、S38は駆動信号であり、S41は電圧V1の電源ライン、S41は電圧V2の電源ライン、S43は電圧V3の電源ライン、S44は電圧V4の電源ラインを示している。

【0139】次に本実施の形態の動作を説明する。

【0140】図9において、行配線毎に対応する輝度データS31は水平同期信号に同期したロード信号LDの立ち上がりパルスにより決定される。そして、輝度データS31の下位8ビット（D0～D7）が比較器202に、上位2ビット（D8、D9）がデコーダ204およびOR回路206に入力される。本実施の形態では輝度データS31は10ビットの例を示した。しかしビット数は10ビットに限るものではない。更に、輝度データS31を上位2ビット、下位8ビットに分割し処理をしたがこれに限るものではない。

【0141】一方、カウンタ201は水平同期信号に同期したロード信号LDによりリセットされ、0から順次パルス幅変調の基準クロックであるPCLKの立ち上がりにより同期して増加する。カウンタ201の出力データS32は、本実施の形態では輝度データと同様に10ビットであり、比較器203に入力される。また、カウンタ201の出力データS32の下位8ビットは比較器202に入力される。

【0142】比較器203の他方の入力 は定数レジスタ205の出力を受ける。定数レジスタの値は“0100000000b”（2進数、1はHレベルを意味する）すなわち‘256’であり、比較器203は、カウンタ201の出力データS32が1以上かつ256以下の時にHレベルの信号S34を出力する。

【0143】なお、本実施の形態では、比較器203を用いてカウンタ201の出力データS32が1～256の時にHレベルの出力をする機能を実現したが、他の方法で実現してもよい。

【0144】一方、比較器202は、カウンタ201の出力データS32の下位8ビットと輝度データS31の下位8ビットを比較して、カウンタ201の出力データS32の下位8ビットで表現される値が1以上かつ輝度データS31の下位8ビットで表現される値以下の時、Hレベルの信号S33を出力する。

【0145】OR回路206は輝度データS31の上位2ビットをORし出力する。すなわち、輝度データS31が257以上のときに、OR回路206はHレベルの信号を出力する。

【0146】AND回路208は、OR回路206の出力（輝度データS31が‘257’以上でHレベルとなる信号）と比較器203の出力S34をANDする。すなわち、輝度データS31が257以上のときに、タイムスロット1～256でHレベルとなるパルスを出力する。

【0147】OR回路207は、比較器202の出力とAND回路208の出力をORして制御信号S36を出力する。すなわち、輝度データS31が256以下のときに、タイムスロット1～（輝度データS31の下位8ビットで示される値）でHレベルとなるパルスを出力する。また、輝度データS31が‘257’以上のときは、タイムスロット1～256でHレベルとなるパルスを出し出力する。

【0148】AND回路209は、OR回路206の出力と比較器202の出力をANDして制御信号S37を出力する。すなわち、輝度データS31が‘256’以下のときはLレベルを出力し、輝度データS31が‘257’以上のときは、タイムスロット1～（輝度データS31の下位8ビットで示される値）でHレベルとなるパルスを出力する。

【0149】本実施の形態ではカウンタ201を10ビ

ット幅に選んだ。そして1水平同期期間において駆動デューティは約9割の時間を発光する時間に割り当てる様に設計したので、次のロード信号LDはカウンタ201が約290をカウントする時に入る。そのためロード信号LDが入る前にカウンタ201が‘0’に戻って異常な動作をすることは無い。

【0150】次に、スイッチ210は、制御信号S36に従ってスイッチの開閉を行う。制御信号S36がHレベルのときはスイッチ210は接点bとなり、Lレベルのときは接点aに切り替えられる。

【0151】すなわち、スイッチ210は、制御信号S36がHレベルの時にスイッチ211の出力を選択し、制御信号S36がLレベルの時に基準電位（GND電位：0V）を選択し、駆動信号S38をマトリクス画像表示パネル1の列配線に出力する。

【0152】スイッチ211は、制御信号S37に従ってスイッチの切り替えを行う。制御信号S37がHレベルの時はスイッチ211は接点bとなり、Lレベルのときは接点aに切り替えられる。

【0153】一方、デコーダ204は、輝度データS31の上位2ビットをデコードし、スイッチ212、213を制御する信号S35を出力する。スイッチ212、213はデコーダ204の出力S35によって表1のように切り替える。

【表1】

D9	D8	スイッチ212 選択接点	スイッチ213 選択接点
0	0	a	a
0	1	a	a
1	0	b	b
1	1	c	c

【0154】本実施の形態のタイミング図を図10に示す。図10において、輝度データS31は図中初めの水平同期期間では‘3’、次の水平同期期間では‘770’の例を示す。

【0155】図10において、ロード信号LD（水平同期信号HDに同期している）により、輝度データS31は確定する。

【0156】一方、カウンタ201は、ロード信号LDがHレベル時のPCLKの立ち上がりでカウンタを‘0’にリセットし、順次PCLKの立ち上がりクロックをカウントする。本実施の形態では、このカウンタ201の出力データS32の下位8ビットに基づきパルス幅変調の駆動出力を決定している。

【0157】比較器202は、輝度データS31の下位8ビットとカウンタ201の出力データS32の下位8ビットを前述したように比較し、信号S33を出力する。すなわち、図10において、初めの水平同期期間では輝度データS31が‘3’であるので、信号S33はタイムスロット1～3の間Hレベルとなる。次の水平同

期期間では輝度データS31が‘770’であるので、信号S33はタイムスロット1～2の間Hレベルとなる。

【0158】また、比較器203は、定数レジスタ205の出力とカウンタ201の出力データS32を前述したように比較し、信号S34を出力する。すなわち、図10において、初めの水平同期期間では輝度データS31が‘3’であるので、信号S34はLレベルとなる。次の水平同期期間では輝度データS31が‘770’であるので、信号S34はタイムスロット1～256の間Hレベルとなる。

【0159】デコーダ204の出力S35は表1に示すスイッチ動作を行う制御をする。スイッチ212、213は、初めの水平同期期間では輝度データS31が‘3’（D9=0, D8=0）であるので、スイッチ212は接点aを、スイッチ213は接点aを選択する。そしてスイッチ212は電源ラインS42を選択し、電圧V2を出力する。そしてスイッチ213は電源ラインS41を選択し、電圧V1を出力する。次の水平同期期間では輝度データS31が‘770’（D9=1, D8=1）であるので、スイッチ212は接点cを、スイッチ213は接点cを選択する。そしてスイッチ212は電源ラインS44を選択し、電圧V4を出力する。そしてスイッチ213は電源ラインS43を選択し、電圧V3を出力する。

【0160】よって、駆動回路から出力される駆動信号S38は、図10に示したように、初めの水平同期期間ではタイムスロット1～3の間に電圧V1を出力し、タイムスロット4～256の間に0Vを出力（GNDとショート）するようなパルス電圧となる。また、次の水平同期期間ではタイムスロット1～2の間に電圧V4を出力し、タイムスロット3～256の間に電圧V3を出力するようなパルス電圧となる。

【0161】ところで本実施の形態では、電圧V1, V2, V3, V4が、下記の条件式4）なる関係を満たすように設定する。

$$V1 < V2 < V3 < V4 \quad \cdots \cdots \text{式4）}$$

【0162】さらに本実施の形態では、スイッチ210の接点aをGND電位（V0）に接続している。駆動回路の設計思想上、スイッチ210が接点aとなっている状態を電圧V0が出力されているものと考え、電圧V0を加えている所定時間T0は、電圧V1をパルス幅変調した時の最大時間T1（最大パルス幅）より等しいか長く選ぶ。更にT0は選択電位を行配線に印加する時間より等しいか短く選ぶ。すなわち、電圧V0は冷陰極素子に対応する蛍光体を非発光状態にする電位（基準電位：0V）であるともいえる。

【0163】これにより、本実施の形態では、輝度データS31の上位2ビットに対して、

$$V0 < V1 < V2 < V3 < V4 \quad \cdots \cdots \text{式4'）}$$

なる関係を有する5種類 (2^2+1 種類) の電圧値が用いられていることになる。

【0164】以上の動作により得られるパルス電圧の駆動波形を図11に模式的に示す。図11(a)は入力された輝度データS11が'0'～'256'の場合のパルス電圧の波形を、同図(b)は輝度データS11が'257'～'512'の場合の波形を、同図(c)は輝度データS11が'513'～'768'の場合の波形を、同図(d)は輝度データS11が'769'～'1023'の場合の波形をそれぞれ示すものである。

【0165】図11(a)に示すように、輝度データS31が'256'以下の時は、電圧V1のパルス幅変調と等価な駆動制御となり、タイムスロット1～256に対応して電圧V1がパルス幅変調される。残りのタイムスロット256までの間は電圧V0が出力される。

【0166】また、同図(b)に示すように、輝度データS31が'257'以上'512'以下の時は、タイムスロット1～輝度データS31の下位8ビットの値で決まるタイムスロットに対応して電圧V2がパルス幅変調出力され、残りのタイムスロット256までの間は電圧V1が出力される。

【0167】また、輝度データS31が'513'以上、'768'以下の時は、同図(c)に示すように、タイムスロット1～輝度データS31の下位8ビットの値で決まるタイムスロットに対応して電圧V3がパルス幅変調出力され、残りのタイムスロット256までの間は電圧V2が出力される。

【0168】また、輝度データS31が'769'以上、'1023'以下の時は、同図(d)に示すように、タイムスロット1～輝度データS31の下位8ビットの値で決まるタイムスロットに対応して電圧V4がパルス幅変調出力され、残りのタイムスロット256までの間は電圧V3が出力される。

【0169】ここで、輝度データの上位ビット数をj、下位ビット数をk、上位ビットで表される値を D_j 、下位ビットで表される値を D_k 、PWMの基準クロックの周期を T_{pclk} として本実施の形態の駆動方法を一般化すれば、以下ようになる。

【0170】入力された輝度データの上位jビットを用いて、 2^j+1 種類の異なる電圧から電圧 V_{D_j} と電圧 $V_{D_{j+1}}$ とが選択される。ここで、 2^j+1 種類の電圧は下記式を満たす。

$$V_m < V_{m+1} \\ (m = 0, 1, 2, \dots, 2^j - 1)$$

【0171】また、電圧 V_{D_j} の出力パルス幅 T_{w1} と電圧 $V_{D_{j+1}}$ の出力パルス幅 T_{w2} はそれぞれ下記式のようになる。

$$T_{w1} = (2^k - D_k) \times T_{\text{pclk}} \\ T_{w2} = D_k \times T_{\text{pclk}}$$

【0172】また、最大パルス幅 T_{wb} は下記式のように

表されるので、

$$T_{wb} = 2^k \times T_{\text{pclk}}$$

T_{w1} と T_{w2} とは下記式を満たす。

$$T_{wb} = T_{w1} + T_{w2}$$

【0173】すなわち、上記により得られるパルス電圧は、最大パルス幅 T_{wb} の電圧 V_{D_j} のパルスの一部または全部に代えて、下位kビットの値 D_k に基づきその部分と同じ幅にパルス幅変調された電圧 $V_{D_{j+1}}$ が組み合わされたような波形となるのである。

【0174】このように、本実施の形態の駆動方法によれば電圧 V_{D_j} に電圧 $V_{D_{j+1}}$ を出力することとなり、さらに電圧 $V_{D_{j+1}}$ を出力する際にも必ず電圧 V_{D_j} の最大パルス幅に相当するパルス電圧は確保された状態となる。したがって、駆動回路の電圧電源のばらつきや素子のばらつき変化等があったとしても、輝度データが増加すれば必ず発光輝度も増加するという単調増加性は容易かつ確実に実現でき、階調の逆転が起きることはないで、常に良好な階調再現を得ることが可能となる。

【0175】なお、電圧V1、V2、V3、V4の各々の差を大きくできることや、 $V1 < V2 < V3 < V4$ である回路構成を作製するのは容易であるため、駆動回路のばらつきの影響はさほど深刻ではない。仮に電圧V1、V2、V3、V4がばらついた場合であっても、輝度階調の単調増加性は損なわれず、単にガンマ特性の変化として現れるにすぎないので、表示画像の主観評価にはさほど影響を与えない。

【0176】また、本実施の形態の駆動方法によれば、8ビットパルス幅変調相当の周波数のPCLKで10ビット相当のパルス幅変調を持つ階調数を実現できるので、回路構成の簡易化、低廉化、消費電力の低減、発熱の抑制などの優れた効果を得ることができる。

【0177】さらに、本発明者らは前記駆動電圧V1、V2、V3、V4の電圧を以下のように選ぶことによって、CRTに対応してあらかじめガンマ補正されているTV信号のような画像信号の表示の際に、顕著な階調性の向上を見いだした。

【0178】すなわち、電圧V1のパルス幅が最大となるときの輝度データの値を D_1 、値 D_1 に応じて変調されたパルス電圧を印加した際の発光輝度を L_1 、電圧V2のパルス幅が最大となるときの輝度データの値を D_2 、値 D_2 に応じて変調されたパルス電圧を印加した際の発光輝度を L_2 、電圧V3のパルス幅が最大となるときの輝度データの値を D_3 、値 D_3 に応じて変調されたパルス電圧を印加した際の発光輝度を L_3 、電圧V4のパルス幅が最大となるときの輝度データの値を D_4 、値 D_4 に応じて変調されたパルス電圧を印加した際の発光輝度を L_4 、とした場合に、

$$\begin{aligned} L_1/L_2 &\leq D_1/D_2 \\ L_2/L_3 &\leq D_2/D_3 \\ L_3/L_4 &\leq D_3/D_4 \end{aligned} \quad \text{.....式5)}$$

なる関係を満たすように電圧V1, V2, V3, V4を設定するとよい。

【0179】なお、本実施の形態では、 $D_1=256$ 、 $D_2=512$ 、 $D_3=768$ 、 $D_4=1023$ であるので、上記条件式5)は次式5')のようになる。

$$\begin{aligned} L_1/L_2 &\leq 256/512 = 1/2 \\ L_2/L_3 &\leq 512/768 = 2/3 \quad \text{.....式5')} \\ L_3/L_4 &\leq 768/1023 \approx 3/4 \end{aligned}$$

【0180】このように電圧V1, V2, V3, V4を設定することにより、輝度データの値を入力とし、その値に応じて変調されたパルス電圧を印加した際の発光輝度を出力とした場合の入出力特性のガンマ値が1以上となる。

【0181】さらに良好な条件としては、前記ガンマ値が表示系の特性に要求されるガンマ値に近いことが好ましい。具体的には、下記式6)で表されるガンマ値 γ が、1.0~3.0程度になるように電圧V1, V2, V3, V4を設定すればよい。

$$\begin{aligned} L_1/L_2 &= (D_1/D_2)^\gamma \\ &= (1/2)^\gamma \\ L_2/L_3 &= (D_2/D_3)^\gamma \quad \text{.....式6)} \\ &= (2/3)^\gamma \\ L_3/L_4 &= (D_3/D_4)^\gamma \\ &= (768/1023)^\gamma \\ &\approx (3/4)^\gamma \end{aligned}$$

【0182】ここで、例えばCRTと同様なガンマ特性で表示する場合は、ガンマ値 γ を約2.2とする。本実施の形態では、図12に示すように、

$$\begin{aligned} L_1/L_2 &\approx 1/4 \\ L_2/L_3 &\approx 1/2 \\ L_3/L_4 &\approx 1/2 \end{aligned} \quad \text{.....式7)}$$

となるように電圧V1, V2, V3, V4を設定したところ、あらかじめガンマ補正されたTV信号等を良好に表示することができた。

【0183】なお、本実施の形態のごとく、電圧V1, V2, V3, V4のそれぞれの最大パルス幅が略等しい場合には、上記式5')と式6)の代わりに次のような条件式により電圧V1, V2, V3, V4を設定してもよい。

【0184】すなわち、所定のパルス幅で冷陰極素子に電圧V1を印加したときの輝度を L_1' 、同一のパルス幅で冷陰極素子に電圧V2を印加したときの輝度を L_2' 、同じく電圧V3, V4を印加したときの輝度をそれぞれ L_3' 、 L_4' とした場合に、

$$\begin{aligned} L_1' &\leq (1/4) \times L_4' \\ L_2' &\leq (2/4) \times L_4' \\ L_3' &\leq (3/4) \times L_4' \end{aligned} \quad \text{.....式5')}$$

なる関係を満たすように電圧V1, V2, V3, V4を設定しても、上記式5')に準じた効果を得ることができる。

【0185】また、上記式6)に代わるものとして、

$$\begin{aligned} L_1'/L_4' &= (1/4)^\gamma \\ L_2'/L_4' &= (2/4)^\gamma \\ L_3'/L_4' &= (3/4)^\gamma \end{aligned} \quad \text{.....式6')}$$

を満たすように電圧V1, V2, V3, V4を設定してもよい。この場合も、式6')で表されるガンマ値 γ が1.0~3.0程度になるように電圧V1, V2, V3, V4を設定することが好ましく、さらにCRTと同様なガンマ特性で表示する場合にはガンマ値 γ を約2.2とすることが好適である。

【0186】ここで、上記と同様にして一般化を試みれば、所定のパルス幅で冷陰極素子に電圧 V_0 を印加したときの輝度を L_0' としたときに、式5')と式6')はそれぞれ下記の式8)、式9)のように表される。

$$L_n' \leq (m/n) \times L_0' \quad \text{.....式8)}$$

$$L_n'/L_0' = (m/n)^\gamma \quad \text{.....式9)}$$

(ただし、 $m=0, 1, 2, \dots, 2^j$; $n=2^j$)

【0187】上記式8)または式9)を満たすように電圧 V_m を設定することにより、さらに電圧の数を増やした場合であっても、容易に本実施の形態と同様の良好な階調再現性を実現することができる。なお、上記式8)、式9)において $m=0$ の場合の V_0 は基準電位(接地電位:0V)を指し、 L_0' は輝度0となる。

【0188】以上述べたように本実施の形態によれば、上記条件式を満たすように電圧V1, V2, V3, V4を決定することで、低輝度(輝度データが'256'以下のとき)における入出力特性の傾きを小さくすることが可能となるので、低輝度の階調性を高めることができる。

【0189】たとえば、式7)を満たすように電圧V1, V2, V3, V4を設定した場合には、輝度データ対正規化した輝度の入出力特性は図12のグラフに示すようになる。上記の場合には、低輝度における輝度増加量 ΔI を約1/4096と小さくすることができる。これは12ビットパルス幅変調相当に匹敵する階調性である。

【0190】このように、本実施の形態によれば、8ビットパルス幅変調相当の周波数のPCLKで10ビットパルス幅変調による階調数(1024階調)を実現できるとともに、低輝度において略12ビットパルス幅変調相当に匹敵する1階調あたりの輝度増加量を持つことができるので、小規模な回路構成で優れた階調再現を実現することが可能となる。また、高輝度側にあっても、従来の単純な8ビットパルス幅変調よりも良好な階調性を

得ることができる。

【0191】なお、本実施の形態においても、上記第1の実施の形態と同様に、従来のパルス幅変調の基準クロック (PCLK) の周波数を落とした場合であっても、階調性の向上を実現することが可能である。また、従来の単純なパルス幅変調と比べて特に低輝度の階調性を改善することができる。

【0192】図13は、表示系の特性がCRTと同様に画像データの2.2乗の特性を持つようにした場合の輝度データ変換器の画像データ輝度データ特性である。前述した低輝度の階調性の改善部分を図13のCで示した。前述したように低輝度の階調性は12ビット確保されているので、図13のCにおいて階調数の減少は少ない。そのため、階調表現能力が著しく向上した。

【0193】また、図12を見てもわかるように、本実施の形態のように電圧数を多くすると、駆動回路7のみによってCRTのようなガンマ特性を実現することが可能である。

【0194】すなわち、画像データのビット幅をp (画像データの階調数 = 2^p) としたときに、下記式10)のように画像データのビット幅と輝度データのビット幅とを一致させ、かつ、電圧の選択に供する上位ビット数jを2ビット以上、望ましくは3ビット以上確保して、4値または8値以上 (基準電位V0を含めると5値または9値以上) の電圧源からパルス幅変調を行う2つの電圧を選択するように駆動回路を設計すればよい。

$$p = j + k \quad \dots\dots\text{式10)}$$

【0195】この式10)の条件のもとで、式8)または式9)を満たすように電圧 V_n を設定すれば、駆動回路7のみによりガンマ特性を実現できるので、輝度データ変換器4を省きローコスト化が可能になる。また、所望の階調再現に従って電圧 V_m のそれぞれを調整することにより、表示系のガンマ特性を容易に調整することが可能になる。

【0196】(その他の実施の形態) 上記実施の形態では、スイッチを直列に多段接続し、パルス幅変調を行う2つの駆動電圧を選択したが、もちろんスイッチを1個にし、ロジック回路で上記実施の形態と同様の駆動信号が得られるロジックを形成して、ひとつのスイッチを制御し実現してもかまわない。

【0197】また、抵抗分割やアナログディジタル変換器等で上記実施の形態と同一の駆動波形を生成しバッファアンプで列配線を駆動するような構成にしてもかまわない。

【0198】また、上記実施の形態では、輝度データの上位1ビットまたは2ビットを駆動電圧の選択に、下位8ビットをパルス幅変調に用いた例を示したが、それぞれの処理に割り振るビット数は自由に設定することが可能である。たとえば、輝度データを9ビット幅とし、そのうち上位2ビットで駆動電圧の選択を行い、下位7ビ

ットでパルス幅変調を行ったところ、さらなるローコスト化を図ることができる。

【0199】さらに、上記実施の形態では各電圧に対するパルス幅変調の数 (タイムスロット) の最大値を2のべき乗 (256) に選んだが、回路が複雑にはなるが、各電圧におけるパルス幅変調の数 (タイムスロット) の最大値を

$$T_{n+1} \leq T_n$$

(ただし、 T_n は電圧 V_n の最大パルス幅)

のもとで、自由に選んでも本発明の効果は期待できることは言うまでも無い。

【0200】また、上記実施の形態では、画像表示素子として冷陰極型電子放出素子を例にとって説明したが、本発明は、EL素子や冷陰極型電子放出素子以外の電子放出素子等、いずれの画像表示素子に対しても適用することができる。なお、冷陰極型電子放出素子には、表面伝導型電子放出素子の他に、FE型電子放出素子やMIM型電子放出素子等があるが、いずれに対しても問題なく本発明を好適に適用することができる。

【0201】

【発明の効果】以上説明したように、本発明は、入力された輝度データに基づいて、所定時間のパルス幅を有する電圧 V_n のパルスの一部または全部に代えて、その部分と同じパルス幅に電圧 V_{n+1} を変調して、画像表示素子に印加するパルス電圧を生成するようにしたので、電源や素子特性が変動した場合であっても輝度階調の逆転が生じることがなく良好な階調再現を実現することができる。

【0202】また、複数の電圧を用いることで、十分な階調数を確保したまま駆動回路の基準クロックを低く抑えることができるので、回路構成の簡易化、装置の小型化・低廉化、消費電力の低減、発熱の抑制などの優れた効果を得ることができる。

【0203】また、入出力特性のガンマ値が1以上、より好適には略2.2となるようにそれぞれの電圧を設定することによって、あらかじめガンマ補正が施された画像信号等でも優れた階調再現を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る画像表示装置の駆動回路の模式図である。

【図2】図1の駆動回路のタイミング図である。

【図3】図1の駆動回路により得られるパルス電圧の駆動波形の模式図である。

【図4】図1の駆動回路の輝度データ輝度特性を示すグラフ図である。

【図5】本発明の第1の実施の形態に係る画像表示装置において、ガンマ値を2.2とした場合の画像データ輝度データ特性を示すグラフ図である。

【図6】本発明の第1の実施の形態に係る画像表示装置において、ガンマ値をBTA規格とした場合の画像デー

ター輝度データ特性を示すグラフ図である。

【図7】本発明の第1の実施の形態に係る画像表示装置の全体構成の模式図である。

【図8】図7の画像表示装置のタイミング図である。

【図9】本発明の第2の実施の形態に係る画像表示装置の駆動回路の模式図である。

【図10】図9の駆動回路のタイミング図である。

【図 11】図9の駆動回路により得られるパルス電圧の駆動波形の模式図である。

【図12】図9の駆動回路の輝度データー輝度特性を示すグラフ図である。

【図１３】本発明の第２の実施の形態に係る画像表示装置において、ガンマ値を２．２とした場合の画像データ輝度データ特性を示すグラフ図である。

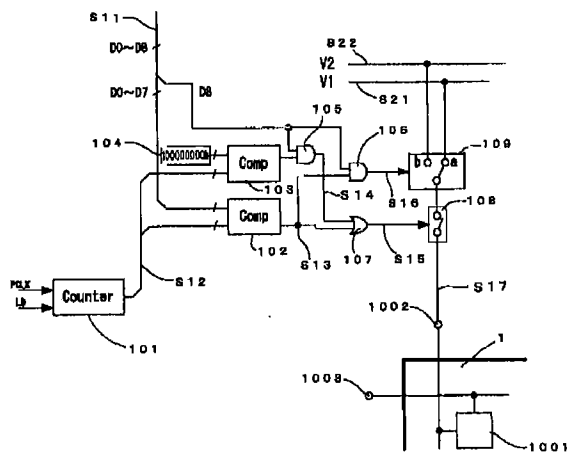
【図14】表面伝導型電子放出素子の特性の一例を示す図である。

【符号の説明】

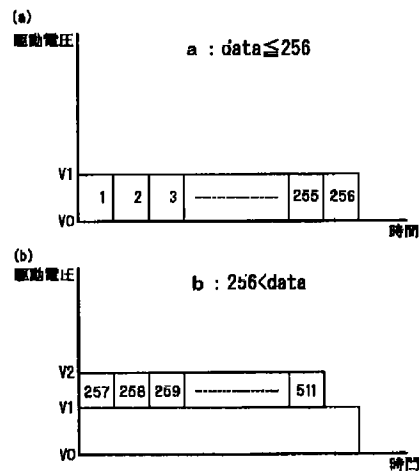
- 1 マトリクス画像表示パネル
- 2 アナログディジタル変換器 (A/Dコンバータ)
- 3 データ並び替え部
- 4 輝度データ変換器
- 5 シフトレジスタ

- 6 ラッチ回路
- 7 駆動回路
- 8 走査ドライバ
- 10 タイミング制御部
- 81 走査信号発生部
- 82 スイッチ手段
- 1001 冷陰極素子
- 1002 列配線
- 1003 行配線
- 101 カウンタ
- 102, 103 比較器
- 104 定数レジスタ
- 105, 106 AND回路
- 107 OR回路
- 108, 109 スイッチ
- 201 カウンタ
- 202, 203 比較器
- 204 デコーダ
- 205 定数レジスタ
- 206, 207 OR回路
- 208, 209 AND回路
- 210, 211, 212, 213 スイッチ

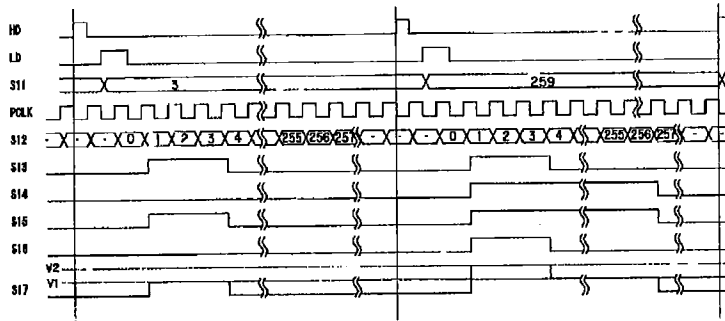
【図1】



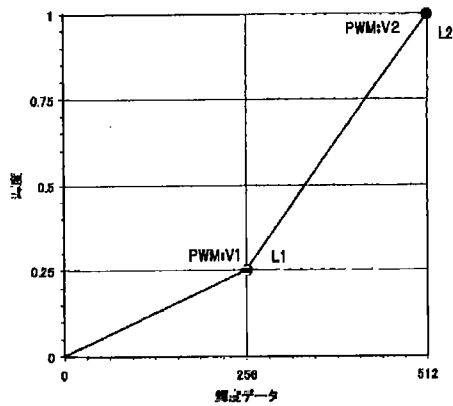
【図3】



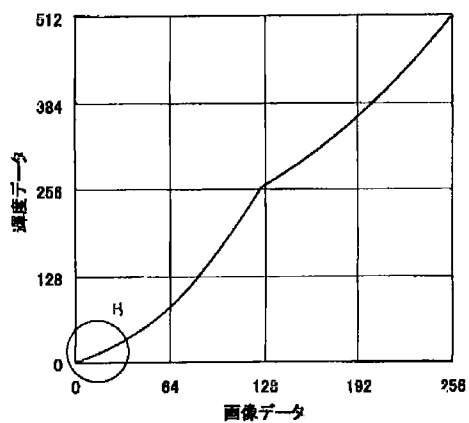
【図2】



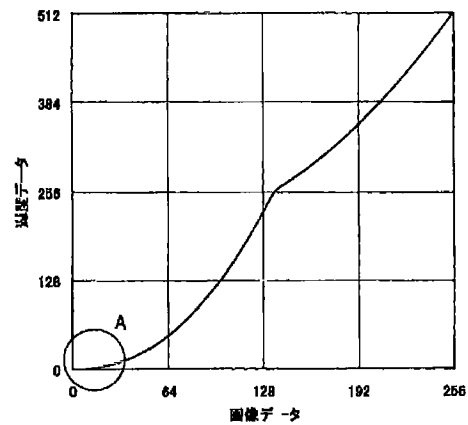
【図4】



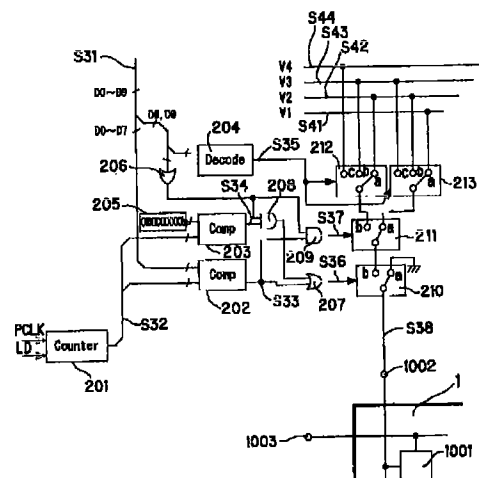
【図6】



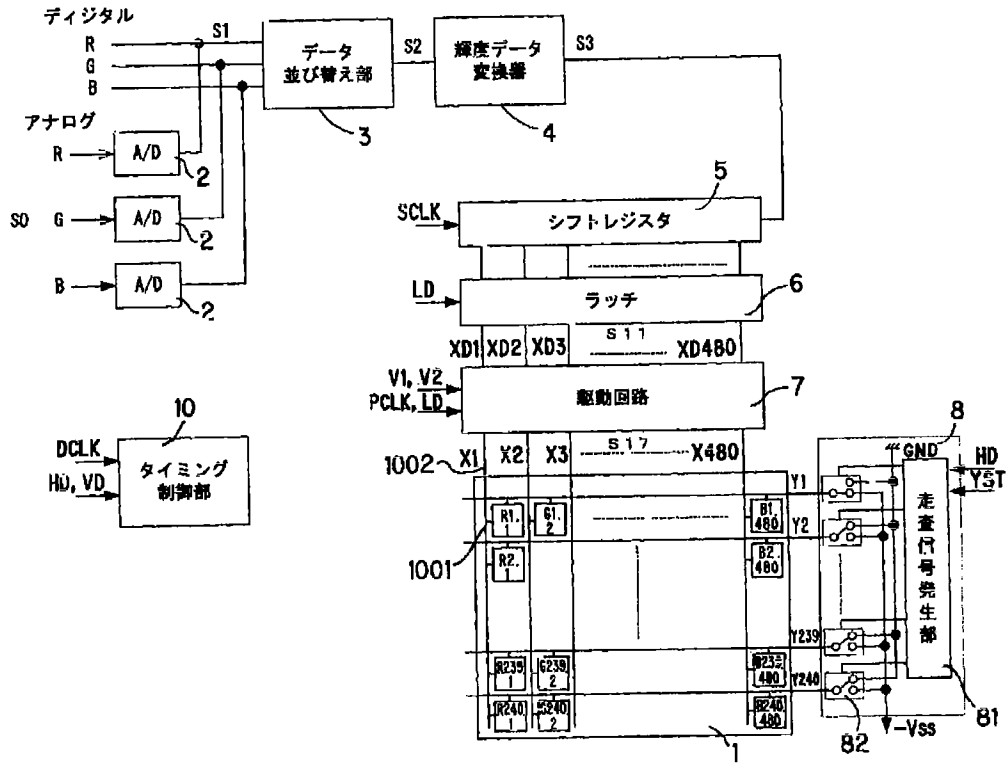
【図5】



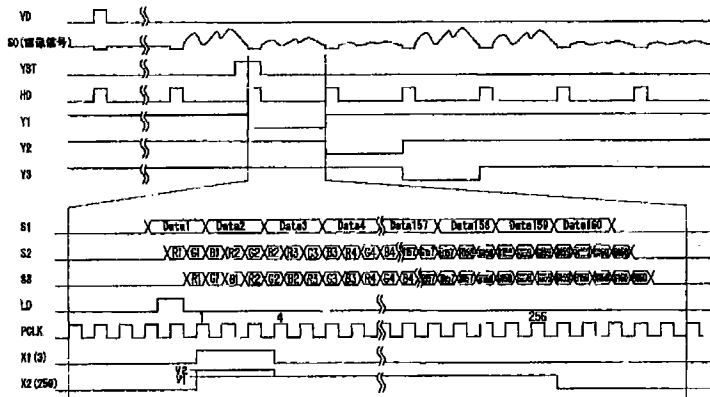
【図9】



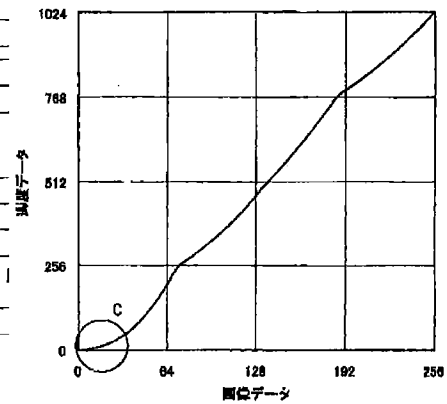
【図7】



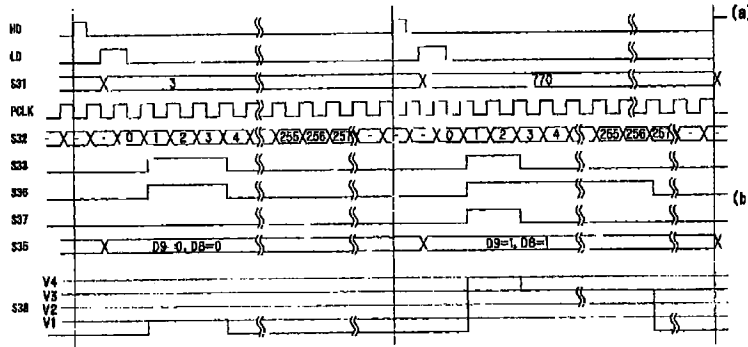
【図8】



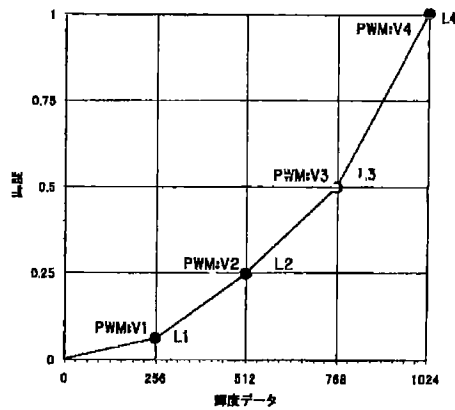
【図13】



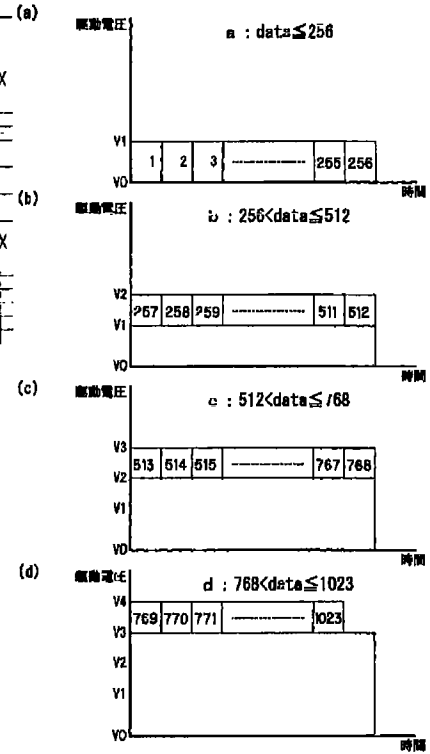
【図10】



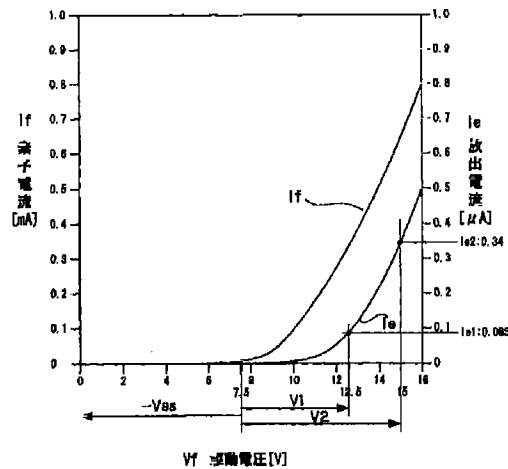
【図12】



【図11】



【図14】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	(参考)
G 0 9 G	3/20	G 0 9 G	3/20 6 4 1 C
	3/30		3/30 K
H 0 4 N	5/68	H 0 4 N	5/68 B
(72)発明者	嵯峨野 治	Fターム(参考)	5C058 AA12 AA18 BA05 BA07 BA13
	東京都大田区下丸子3丁目30番2号 キヤ		BA35 BB03
	ノン株式会社内		5C080 AA06 AA08 AA18 DD22 DD26
			DD27 EE29 JJ02 JJ04 JJ05